

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 3 3 0 9 6 2

(43) 公開日 平成 1 1 年 (1 9 9 9) 1 1 月 3 0 日

(51) Int. Cl.	識別記号	庁内整理番号	F I	技術表示箇所
H03L 7/197			H03L 7/18	A
7/08			7/08	Z

審査請求 未請求 請求項の数 2 . O L (全 8 頁)

(21) 出願番号 特願平 1 0 - 1 2 8 9 6 7

(22) 出願日 平成 1 0 年 (1 9 9 8) 5 月 1 2 日

(71) 出願人 0 0 0 1 9 1 2 3 8

新日本無線株式会社

東京都中央区日本橋横山町 3 番 1 0 号

(72) 発明者 山本 隆三

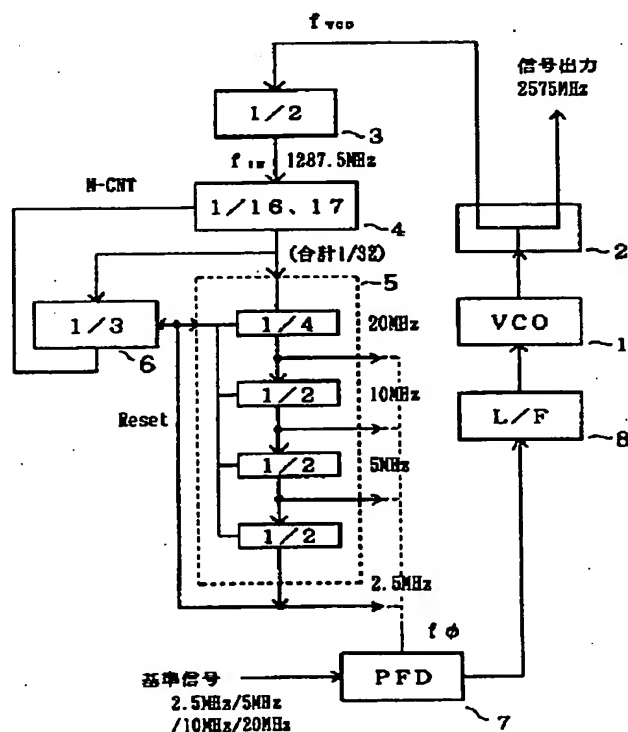
埼玉県上福岡市福岡二丁目 1 番 1 号 新日本無線株式会社川越製作所内

(54) 【発明の名称】 P L L シンセサイザ発振器

(57) 【要約】

【課題】 位相雑音の少ない P L L シンセサイザ発振器を提供することを目的とする。

【解決手段】 電圧制御発振器と、前記電圧制御発振器の信号を可変分周する可変分周器と、前記可変分周器からの信号と基準信号のそれぞれの位相を比較する位相比較器と、前記位相比較器の出力の低周波成分を前記電圧制御発振器に帰還させるループフィルタとからなり位相同期を行う P L L シンセサイザにおいて、前記可変分周器のタップ出力信号と基準信号とで位相比較を行う P L L シンセサイザ発振器とした。



【特許請求の範囲】

【請求項1】 電圧制御発振器と、前記電圧制御発振器の信号を可変分周する可変分周器と、前記可変分周器からの信号と基準信号との位相を比較する位相比較器と、前記位相比較器の出力の低周波成分を前記電圧制御発振器に帰還させるループフィルタとからなり、位相同期を行うPLLシンセサイザ発振器において、前記可変分周器を分周器を複数段接続して構成し、該分周器を複数段接続して構成した可変分周器のうちの途中の一段から取り出した信号と、該信号に対応する基準信号とで位相比較を行うことを特徴とするPLLシンセサイザ発振器。

【請求項2】 前記分周器を複数段接続して構成された可変分周器のうちの一段から、位相比較のための基準となる信号の周波数の整数倍の関係にある周波数の信号を取り出し、位相比較を行うことを特徴とする請求項1記載のPLLシンセサイザ発振器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、Phase Locked Loop（以下PLL）シンセサイザ発振器に関し、特にPLLシンセサイザ発振器の低位雑音化技術に関する。

【0002】

【従来の技術】従来のPLLシンセサイザ発振器の構成の一例を図3に示す。PLLシンセサイザ発振器の構成で出力周波数と基準信号の設定に柔軟性があり、最も一般的に採用されているモジュラスプリスケラを用いた構成例である。本図において、1は発振周波数が電圧により制御できる電圧制御発振器、2は電圧制御発振器1の信号を出力端子と分周器とに分配する分配器、3は電圧制御発振器の発振周波数を後述するモジュラスプリスケラにおいて分周動作が可能な周波数まで低減するための分周比が $1/X$ のプリスケラ、4は制御信号により分周比が $1/M$ 又は $1/(M+1)$ に切り換え可能なモジュラスプリスケラ、6はモジュラスプリスケラ4の分周比切換信号発生用の分周比が $1/A$ の分周器、7は後述する可変分周器9からの信号と基準信号との位相を比較する位相比較器、8は位相比較器7の信号の低周波成分を電圧制御発振器1にフィードバックするためのループフィルタ、9は分周比が $1/N$ でありこのNの値が可変できる可変分周器である。

【0003】又、同図において f_{vc} は電圧制御発振器1によって発振した信号の周波数を、 f_{in} は周波数 f_{vc} の信号が分周比が $1/X$ のプリスケラ3によって分周された周波数を、 f_{ϕ} は位相比較器7において位相比較するための基準となる周波数を表しており、 $M-CNT$ は、モジュラスプリスケラ4の分周比切換信号発生用の分周比が $1/A$ の分周器6により発生されたモジュラスプリスケラ4の分周比を $1/M$ 又は $1/$

($M+1$)に切り替えるための制御信号である。

【0004】このような構成においては、本図における各定数、つまり周波数 f_{in} 、 f_{vc} 及び f_{ϕ} 、分周比 X 、 M 、 N 、 A の関係は以下の式により表わすことができる。

$$f_{in} = f_{vc} / X$$

$$f_{in} / (MN+A) = f_{\phi}$$

なお、 $N > A$ 、 $f_{in} / f_{\phi} > M^2$ であり、 X 、 M 、 N 、 A は正の整数であるものとする。

【0005】ここで、図3において一般化された値として表わされている周波数 f_{in} 、 f_{vc} 及び f_{ϕ} 、分周比 X 、 M 、 N 、 A に対して、所用の出力周波数と基準信号周波数の値が例えば

出力周波数 : 257.5 MHz

基準信号周波数 : 20 MHz

であるとして、また、現状使用可能な部品性能等を考慮して、分周比 X 、 M 、 N 、 A を決定すると、各定数は例えば以下ようになる。

$X = 2$

$M = 16$

$N = 32$

$A = 3$

更にこれらの定数と上記の出力周波数及び基準信号周波数から f_{ϕ} の値も $f_{\phi} = 2.5$ MHzとして決定され、基準信号周波数を f_{ϕ} の周波数に分周するための新たな定数 n の値も $n = 8$ として決定される。

【0006】図4は、上記のように決定された数値を、図3における一般化された各定数に当てはめた具体的な回路である。以下、図4によってシンセサイザの動作を説明する。同図において、1～9は図3において説明した構成と同一であるが、図3における一般化した分周比を具体的な値、つまり $X = 2$ 、 $M = 16$ 、 $N = 32$ 、 $A = 3$ としている。又、図4には図3にない分周器10が追加されているが、これは基準信号の周波数である20 MHzから位相比較周波数(f_{ϕ})の2.5 MHzの信号を得るための分周比が $1/8$ の分周器である。

【0007】電圧制御発振器1は印加される電圧により発振する周波数が制御できる発振器であり、この例の場合発振周波数が257.5 MHzになるようなバイアス電圧が印加されて発振している。この電圧制御発振器1から出力された周波数が257.5 MHzの信号は分配器2によって分配され、一方の信号は出力端子に導かれ出力として取り出され、もう一方の信号は、分周比が $1/2$ であるプリスケラ3に入力される。このプリスケラ3は、周波数を次のモジュラスプリスケラ4において分周動作が可能となるような周波数にまで低減するための分周器であり、本図の例においては2分周されるので周波数は128.75 MHzの信号となり、モジュラスプリスケラ4に入力される。

【0008】モジュラスプリスケラ4に入力された信

号は、モジュラスプリスケラ 4、分周器 9 及びモジュラスプリスケラの分周比を制御するための分周器 6 とによる総合的な動作により、以下に説明するような分周動作が行われる。

【0009】モジュラスプリスケラ 4 は M-CNT の値によりその分周比を切り替えることができ、M-CNT の値が "0" のとき分周比が $1/17$ になり、その値が "1" のとき分周比は $1/16$ になるものとする。また、モジュラスプリスケラの分周比を制御するための分周器 6 においては、モジュラスプリスケラ 4 の出力をその入力として 3 分周して、その出力が M-CNT 信号としてモジュラスプリスケラ 4 の分周比を切り替えている。つまりモジュラスプリスケラ 4 の分周比はモジュラスプリスケラの分周比を制御するための分周器 6 の出力が "1" になるまで、即ちその分周回数だけ、分周比 $1/17$ の状態が続き、そのあと分周器 9 からの出力信号がリセット信号として分周器 6 に加えられるまで分周比 $1/16$ の状態が続くことになる。

【0010】その結果、モジュラスプリスケラ 4、分周器 9、モジュラスプリスケラの分周比を制御するための分周器 6 を全体としてみたときの総合的な分周数 N は、一般化した定数によって表すと、 $N = (M+1)A + M(N-A) = MN + A$ 、となる。このことは、定数 A を $N > A$ の範囲内の適当な整数値に設定することにより、所望の分周比を得ることが可能となる。

【0011】そして今、例として説明している $M=1$ 、 $N=32$ 、 $A=3$ の場合には、 $N=515$ となり、モジュラスプリスケラ 4 に入力された信号は、モジュラスプリスケラ 4、分周器 9 及びモジュラスプリスケラの分周比を制御するための分周器 6 によって 515 分周され、この結果分周器 3 から出力された周波数 1287.5 MHz の信号は周波数 2.5 MHz の信号となり位相比較器 7 に入力される。

【0012】位相比較器 7 には、上記したような、モジュラスプリスケラ 4、分周器 9 及びモジュラスプリスケラの分周比を制御するための分周器 6 によって分周されて周波数が 2.5 MHz となった信号の他に、周波数 20 MHz の基準信号を 8 分周した 2.5 MHz の安定した周波数の信号が入力され、この両信号は互いに位相比較され、両信号に位相差が無い場合は分周器 9 からの出力信号は無く、両信号に位相差が有る場合はその位相差に応じた誤差信号が位相比較器 7 の出力としてループフィルタ 8 に入力される。ループフィルタ 8 は、低域通過フィルタであり、位相差出力の高周波成分は除去され低周波成分のみが通過して電圧制御発振器 1 に帰還され、位相誤差電圧がある場合、つまり電圧制御発振器 1 から出力され分周器を経て位相比較器 7 に入力された信号の周波数が基準信号の安定な周波数と比較して位相のずれがある場合には電圧制御発振器 1 に印加されるバイアス電圧が変化することによりその発振周波数を

変化させ、誤差電圧がなければ電圧制御発振器 1 の周波数を変化させることがなく周波数がロックされることにより水晶発振器などの安定した周波数との位相同期が行われる。

【0013】このようにして、水晶発振器などの安定した周波数を分周して得られた位相比較のための周波数（上記の例においては 2.5 MHz ）の整数倍の周波数が得られる PLL シンセサイザ発振器として近年急速に普及した携帯電話などに重要な技術として使用されている。

【0014】

【発明が解決しようとする課題】しかしながら、前記したような従来の回路では、所用の周波数の値と部品の性能及び各定数の関係式により出力周波数と位相比較周波数の比が決定され、又、基準信号周波数と位相比較周波数の比が決定されることになる。結局、全体の分周数が決定されることになる。例えば、 f_{vco} （出力周波数） $= 2575 \text{ MHz}$ 、 $f_{\phi} = 2.5 \text{ MHz}$ なら全体的な分周比は 1030 ということになる。ここにおいて、位相雑音性能を要求される場合には、必要とする出力周波数での位相雑音の分周比が低い位相雑音レベルで位相比較する必要がある。すなわち、必要とする出力信号の位相雑音に対して出力信号を分周した信号はその分周数の対数を取った値だけ位相雑音を低い状態で取り扱わなければならない。この式は、 $-20 \log_{10} f_{vco} / f_{\phi} [\text{dB}]$ で表され、上記の数値を当てはめると、 $-20 \log_{10} f_{vco} / f_{\phi} [\text{dB}] = -20 \log_{10} 2575 \text{ MHz} / 2.5 \text{ MHz} [\text{dB}] = -20 \log_{10} 1030 [\text{dB}] = 60.3 [\text{dB}]$ となる。結局、約 60 dB も位相雑音の低いレベルにおいて位相比較をする必要が有ることになり、分周器と位相比較器などの容易に低減することが困難な位相雑音ノイズフロアに制限され、所用の位相雑音性能が得られないという問題があった。このような問題を改善するための方法としては、位相比較周波数 f_{ϕ} を高くする、すなわち分周数を低くする、又、ノイズフロアの低い分周器や位相比較器を使用すること等が考えられるが、以下の理由により困難であった。

【0015】1. 位相比較周波数は、必要とされる出力周波数、基準信号周波数により制約され、決定される。

2. 分周数を低くするためには周波数変換（ダウンコンバータ）等を使用しシンセサイザ入力周波数をより低い周波数に変換する必要があるが、そのために構成が複雑となり、必然的にコストが高くなることが避けられない。

3. プリスケラ、モジュラスプリスケラ、位相比較と分周器の位相雑音のノイズフロアは部品レベルでは管理されておらず、使用者側で確認する必要があり、また廉価な一般品ではノイズフロア性能は限界にきている。

本発明は前記したような問題を解決し、位相雑音の少な

いPLLシンセサイザ発振器を提供することを目的とする。

【0016】

【課題を解決するための手段】前記した課題を解決するために、以下のようにした。第1の発明においては、電圧制御発振器と、電圧制御発振器の信号を可変分周する可変分周器と、可変分周器からの信号と基準信号との位相を比較する位相比較器と、位相比較器の出力の低周波成分を電圧制御発振器に帰還させるループフィルタとからなり、位相同期を行うPLLシンセサイザ発振器において、可変分周器を分周器を複数段接続して構成し、分周器を複数段接続して構成した可変分周器のうちの途中の一段から取り出した信号と、信号に対応する基準信号とで位相比較を行うPLLシンセサイザ発振器とした。

【0017】第2の発明においては、分周器を複数段接続して構成された可変分周器のうちの一段から、位相比較のための基準となる信号の周波数の整数倍の関係にある周波数の信号を取り出し、位相比較を行う請求項1記載のPLLシンセサイザ発振器とした。

【0018】

【作用】出力周波数の分周器の途中段階の周波数成分($f\phi$ の整数倍)を取り出すことにより、最終的に分周された周波数と比較して高い周波数によって基準信号の周波数と位相比較を行うことにより、分周器及び位相比較器のノイズフロアの影響を低減することができ、低位相雑音化を実現できる。

【0019】図5は、図4で示した構成例の各部の波形のタイミングチャートを示したものである。本図中において(U)の波形は20MHzの基準信号、(V)の波形はN分周器の分周途中段階の信号出力(20MHz成分のタップ出力)、(W)の波形は位相比較器の出力信号であり、正電圧側と負電圧側とのパルスの幅が等しいために、これをループフィルタを通過させることにより高調波成分を除くことにより平均化された信号は零となり、ロック状態すなわち位相同期状態となっている。20MHzで位相比較を行った場合であっても従来の位相比較周波数の周期で平均化することにより位相差零でロック状態が可能な動作をする。

【0020】

【発明の実施の形態】以下、本発明の実施の形態における回路構成例について説明する。図1は本発明の1実施例を示すものである。本図において、1は電圧制御発振器(図中でVCOと表示)、2は出力端子と分周器とに発振器出力を分配する分配器、3は分周比が1/2の単分周プリスケラ、4はM-CNT信号により分周比が1/16又は1/17のいずれかに切換え可能なモジュラスプリスケラ、5は4段の分周器で構成された可変分周器でありこの場合は1段目が分周比1/4、2段目が分周比1/2、3段目が分周比1/2、4段目が分周

比1/2であり全体の分周比は1/32、6はモジュラスプリスケラの分周比を制御するための分周器、7は位相比較器(図中でPFDと表示)、8はループフィルタ(図中でL/Fと表示)である。

【0021】以上のように構成されたPLLシンセサイザ発振器の動作を説明する。電圧制御発振器1の発振出力で周波数が2575MHzの信号は、分配器2によって一方は出力端子に導かれ出力信号として取り出され、もう一方は単分周プリスケラ3により2分周されて周波数が1287.5MHzの信号となりモジュラスプリスケラ4に入力される。

【0022】モジュラスプリスケラ4に入力された信号はM-CNTにより制御されて分周比を16分周あるいは17分周に切り替えられて、分周される。分周後の信号はさらに可変分周器5に入力されて、1段目で4分周、2段目で2分周、3段目で2分周、4段目で2分周されることにより最終的に可変分周器5において32分周される。

【0023】モジュラスプリスケラ4から出力された信号は可変分周器5に入力されると同時にモジュラスプリスケラの分周比を制御するための3分周器6にも入力され、さらにそのモジュラスプリスケラの分周比を制御するための3分周器6の出力M-CNTをモジュラスプリスケラ4の制御信号として入力し、16分周または17分周の切換えを行う。又、可変分周器5の32分周後の出力は同分周器及びモジュラスプリスケラの分周比を制御するための3分周器6のそれぞれのリセット端子に入力される。

【0024】ここで4段の分周器で構成された可変分周器5の32分周の内の1段目の4分周後の出力である20MHzの信号を取り出し位相比較器7に入力する。一方、基準信号の20MHzは位相比較器7に入力され位相誤差出力がループフィルタ8によって高周波成分が除去され低周波成分のみが電圧制御発振器1に帰還されることにより位相同期が行われる。このようにして20MHz成分での位相比較が可能となり、従来の2.5MHzでの位相比較に比べ、8倍高い周波数において位相比較をすることが可能となり、プリスケラ、モジュラスプリスケラ、分周器、位相比較器のノイズフロアに対してマージンがとれ低位相雑音化が可能となる。

【0025】図6は本発明の1実施例である図1と従来例である図4のタイミングチャートである。同図の(A)から(M)は図1に対応し、それぞれの波形は以下のようにになっている。

【0026】すなわち、(A):モジュラスプリスケラ4の出力、(B):4段の分周器で構成された可変分周器5での1/2出力、(C):可変分周器5での1/4出力、(D):可変分周器5での1/8出力、

(E):可変分周器5での1/16出力、(F):可変分周器5での1/32出力、(G):基準の2.5MHz

7

z の波形、(H) : ロック時の位相比較器出力、
(I) : 基準の 5 MHz の波形、(J) : 位相差、
(K) : 基準の 10 MHz の波形、(M) : 位相差、で
ある。

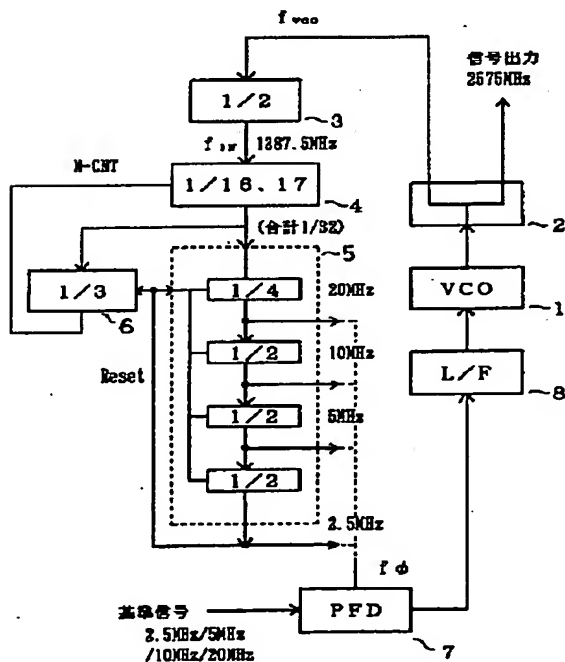
【0027】また、同図の (O) から (W) は図 4 に対
応し、それぞれの波形は以下のようにになっている。すな
わち、(O) : 基準の 5.0 MHz の波形、(P) : N
カウンタの $1/16$ 出力、(Q) : ロック時の位相比較
出力、(R) : 基準の 10.0 MHz の波形、(S) :
N カウンタの $1/8$ 出力、(T) : ロック時の位相比較
出力、(U) : 基準の 20.0 MHz の波形、(V) :
N カウンタの $1/4$ 出力、(W) : ロック時の位相比較
出力、である。

【0028】

【発明の効果】図 2 に従来のような低い周波数である
2.5 MHz で位相比較を行った場合と、本発明のよう
に 20 MHz 帯で位相比較を行った場合の位相雑音特性
を示す。本図によって本発明によれば位相雑音が大幅に
改善されていることが分かる。以上説明したように位相
比較周波数を高くとることにより位相雑音が改善されと
いう大きな効果がある。

【図面の簡単な説明】

【図 1】



8

【図 1】本発明の 1 実施例の回路図

【図 2】従来例と本発明との位相雑音の比較

【図 3】従来の回路構成例

【図 4】図 3 を具体化した図

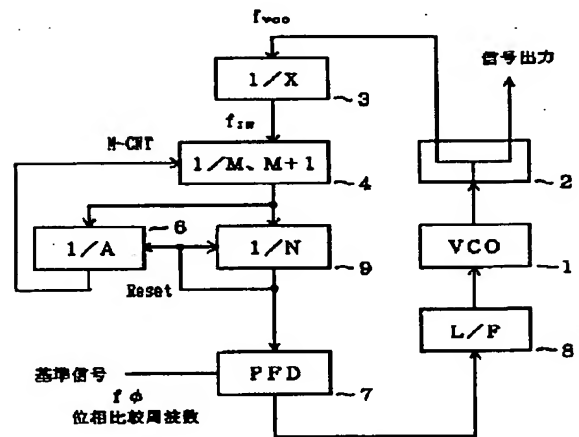
【図 5】従来の構成における位相雑音の計算値を示すグ
ラフ

【図 6】タイミングチャート

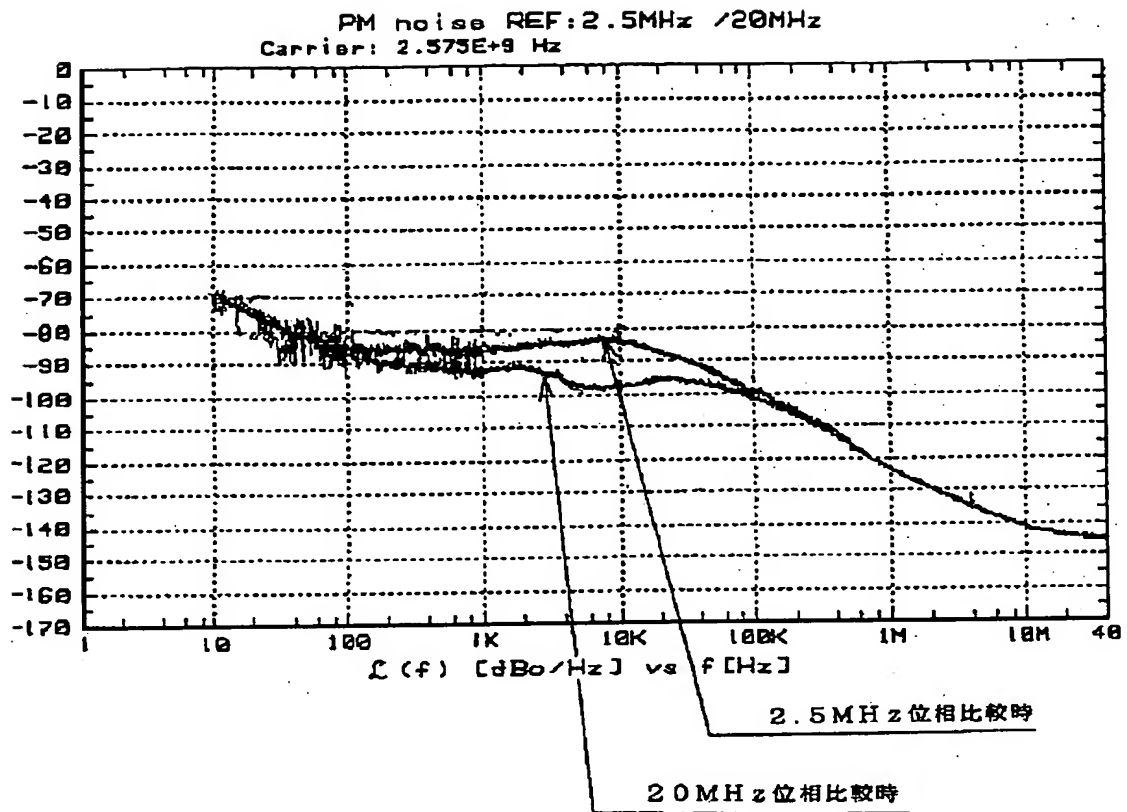
【符号の説明】

- 1 電圧制御発振器
- 2 出力端子と分周器とに発振器出力を分配する分配器
- 3 分周比が $1/2$ のプリスケアラ
- 4 分周比が $1/16$ 又は $1/17$ のいずれかに切換え可能なモジュラスプリスケアラ
- 5 4 段の分周器で構成された可変分周器でありこの場合は 1 段目が分周比 $1/4$ 、2 段目が分周比 $1/2$ 、3 段目が分周比 $1/2$ 、4 段目が分周比 $1/2$
- 6 モジュラスコントロール用の分周器
- 7 位相比較器
- 8 ループフィルタ (LPF)
- 9 分周器
- 10 分周器

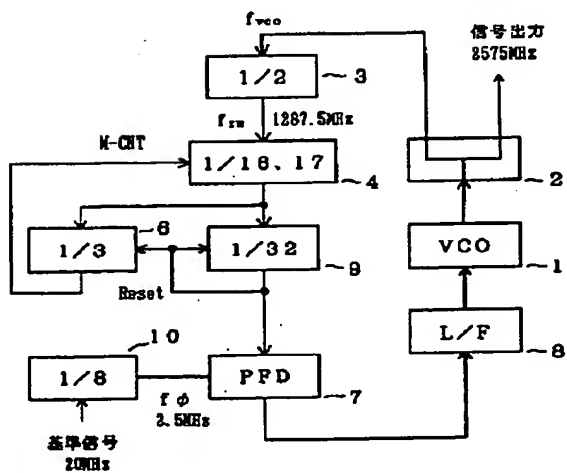
【図 3】



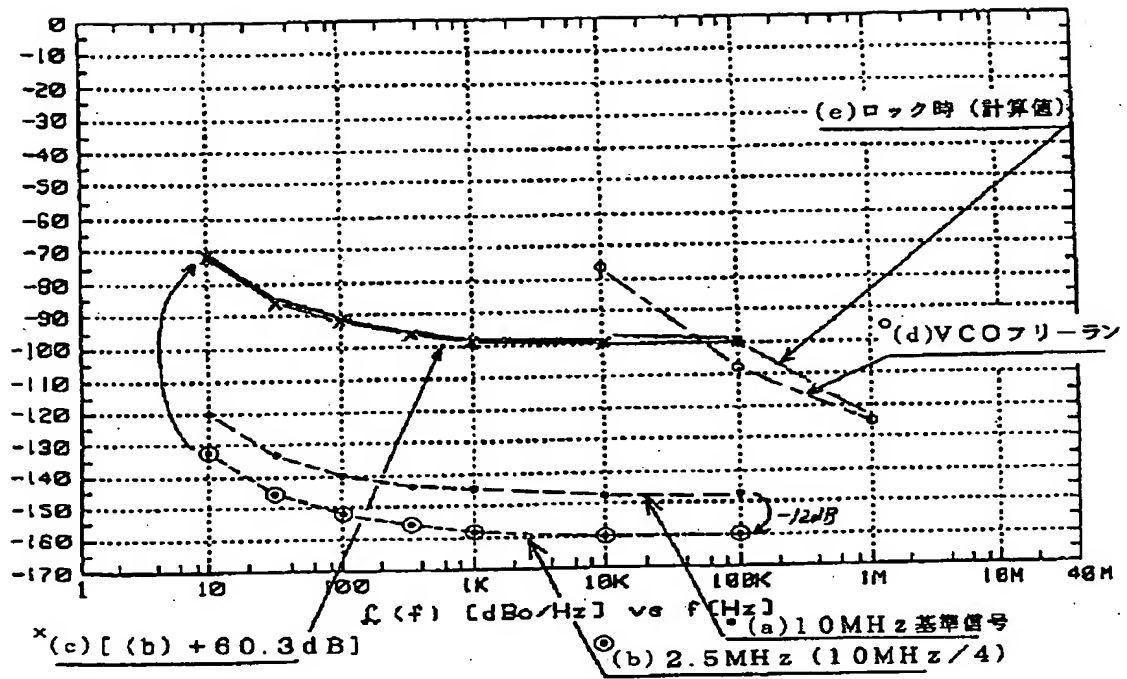
【図2】



【図4】



【図5】



【図 6】

